

Japanese Patent Application Laid-Open No. 10-82828:  
"SEMICONDUCTOR DEVICE TESTING APPARATUS"

The following is an extract of the above reference relevant to the present application.

The present invention relates to a semiconductor device testing apparatus for testing whether or not a semiconductor device, or particularly a semiconductor integrated circuit element (hereinafter referred to as IC) as a representative example of a semiconductor device functions normally.

More specifically, an IC carrier failure analyzing memory 21 having the same number of memory addresses AR<sub>1</sub> to AR<sub>54</sub> as an IC carrier 16 placed on each of test trays TST<sub>0</sub> to TST<sub>10</sub> is provided to cumulatively store the number of ICs judged as failure by each of the memory addresses in the IC carrier failure analyzing memory 21. When the cumulative value exceeds a preset value, an IC carrier including the ICs judged as failure is judged as failure.

特開平10-82828

(43) 公開日 平成10年(1998)3月31日

(51) Int.Cl. \*

識別記号 序内整理番号

序內整理委員

F I  
G-01B 31/2

技術表示箇所

審査請求 未請求 請求項の数16 O.L (全 14 頁)

(21) 出題番号 総問題数9-14420

(22) 出願日 平成9年(1997)6月2日

(31) 優先指主張登記 與圖W8-141220

(37) 優先順位登録日 令和10年1月1日

(32)優先日 年 8 (1998) 6  
(33)優先権主張日 月 6 (1998)

(71) 出願人 300005175

推式会社アーティスティクス

株式会社アトランテスト

(72) 奉明考 大西 二

東方報業圖

社アドバンテスト内

(72)発明者 鈴木 兼彦

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

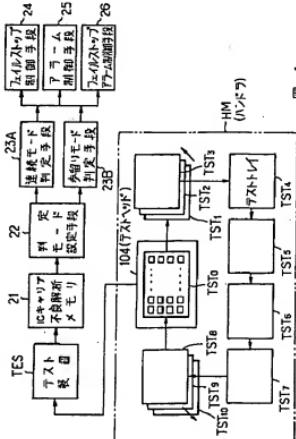
(74) 代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称】 半導体デバイス試験装置

(57)【要約】

【課題】 ローダ部300においてテストトレイTSTに被試験ICを積み込み、テスト部に搬送して試験し、試験終了後、アンローダ部400において試験済みICをテストトレイから汎用トレイKSTに積み換え、空になったテストトレイをローダ部へ搬送して上記動作を繰り返すT1C試験装置において、テストトレイに搭載されるICキャリア16の不良を独立に検出することができるT1C試験装置を提供する。

【解決手段】各テストトレイTEST。～TEST<sub>n</sub>に装着されるICキャリア16と同じ数の記憶アドレスAR<sub>1</sub>～AR<sub>n</sub>を持ったICキャリア不良解析メモリ21を設け、このICキャリア不良解析メモリの各記憶アドレスに不良と判定されたICの個数を累積記憶させる。累積値が設定値を越えると、その不良と判定されたICを収納したICキャリアを不良と判定する。



## 【特許請求の範囲】

【請求項1】 テスタ部とハンドラ部とを備え、ハンドラ部のローダ部において複数個の半導体デバイスキャリアに被試験半導体デバイスを搭載し、これら半導体デバイスキャリアを上記ローダ部からハンドラ部のテスト部に搬送して半導体デバイスを試験し、試験終了後、試験済み半導体デバイスを搭載した上記半導体デバイスキャリアを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記半導体デバイスキャリア上の試験済み半導体デバイスを別の半導体デバイス収納容器に積み換え、空になった半導体デバイスキャリアを上記アンローダ部から上記ローダ部へ搬送して上記動作を繰り返すように構成されている半導体デバイス試験装置において、

上記半導体デバイスキャリアのそれぞれ毎に試験結果を累積記憶する半導体デバイスキャリア不良解析メモリと、  
この半導体デバイスキャリア不良解析メモリに記憶される不良発生個数又は不良発生率が所定の設定値を超えたか否かを判定する判定手段と、

この判定手段の判定結果に従って半導体デバイス試験装置の状態を予め設定した状態に制御する制御手段とを具備することを特徴とする半導体デバイス試験装置。

【請求項2】 テスタ部とハンドラ部とを備え、ハンドラ部のローダ部において、枠体に1又は複数個の半導体デバイスキャリアを装着した構成のテストトレイに被試験半導体デバイスを搭載し、このテストトレイを上記ローダ部からハンドラ部のテスト部に搬送し、このテスト部において、上記テストトレイに搭載されている半導体デバイスをテスタ部のテストヘッドに取り付けられた1又は複数個のソケットと電気的に接触させて半導体デバイスを試験し、試験終了後、試験済み半導体デバイスを搭載したテストトレイを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記テストトレイ上の試験済み半導体デバイスを他の半導体デバイス収納容器に積み換え、空になったテストトレイを上記アンローダ部から上記ローダ部へ搬送して上記動作を繰り返すように構成されている半導体デバイス試験装置において、

上記半導体デバイスキャリアのそれぞれ毎に試験結果を累積記憶する半導体デバイスキャリア不良解析メモリと、  
この半導体デバイスキャリア不良解析メモリに記憶される不良発生個数又は不良発生率が所定の設定値を超えたか否かを判定する判定手段と、

この判定手段の判定結果に従って半導体デバイス試験装置の状態を予め設定した状態に制御する制御手段とを具備することを特徴とする半導体デバイス試験装置。

【請求項3】 上記判定手段は、同一のテストトレイの同一の半導体デバイスキャリアに搭載された被試験半導

体デバイスが連続して所定個数以上不良と判定されたときにその半導体デバイスキャリアを不良と判定する連続モードに設定されることを特徴とする特許請求の範囲第2項に記載の半導体デバイス試験装置。

【請求項4】 上記判定手段は、同一のテストトレイの同一の半導体デバイスキャリアに搭載された被試験半導体デバイスの、所定個数毎の不良数が所定の比率以上であると判定されたときに、その半導体デバイスキャリアを不良と判定する步留りモードに設定されることを特徴とする特許請求の範囲第2項に記載の半導体デバイス試験装置。

【請求項5】 上記連続モードと、上記歩留りモードの何れか一方を選択して上記判定手段に設定する判定モード設定手段をさらに含むことを特徴とする特許請求の範囲第2項に記載の半導体デバイス試験装置。

【請求項6】 上記制御手段は、上記半導体デバイス試験装置の状態を、不良と判定された半導体デバイスキャリアが検出された場合に、その不良と判定された半導体デバイスキャリアに上記ローダ部において被試験半導体デバイスを搭載しないように制御するスエイルストップ制御状態に設定することを特徴とする特許請求の範囲第1項又は第2項に記載の半導体デバイス試験装置。

【請求項7】 上記制御手段は、上記半導体デバイス試験装置の状態を、不良と判定された半導体デバイスキャリアが検出された場合に上記半導体デバイス試験装置からアラームを発生させるアラーム制御状態に設定することを特徴とする特許請求の範囲第1項又は第2項に記載の半導体デバイス試験装置。

【請求項8】 上記制御手段は、上記半導体デバイス試験装置の状態を、不良と判定された半導体デバイスキャリアが検出された場合に、その不良と判定された半導体デバイスキャリアに上記ローダ部において被試験半導体デバイスを搭載しないように制御すると共に上記半導体デバイス試験装置からアラームを発生させるフェイルストップ・アラーム制御状態に設定することを特徴とする特許請求の範囲第1項又は第2項に記載の半導体デバイス試験装置。

【請求項9】 テスタ部とハンドラ部とを備え、ハンドラ部のローダ部において、枠体に複数個の半導体デバイスキャリアを装着した構成のテストトレイに被試験半導体デバイスを搭載し、このテストトレイを上記ローダ部からハンドラ部のテスト部に搬送し、このテスト部において、上記テストトレイに搭載されている半導体デバイスをテスタ部のテストヘッドに取り付けられた1又は複数個のソケットと電気的に接触させて半導体デバイスを試験し、試験終了後、試験済み半導体デバイスを搭載したテストトレイを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記テストトレイ上の試験済み半導体デバイスを他の半導体デバイス収納容器に積み換え、空になったテストトレイを上記ローダ部へ搬送して上記動作を繰り返すように構成されている半導体デバイス試験装置。

アンローダ部から上記ローダ部へ搬送して上記動作を繰り返すように構成されている半導体デバイス試験装置において、

各テストトレイに装着された上記複数個の半導体デバイスキャリアのそれぞれ毎に、搭載された被試験半導体デバイスの試験結果のうちの不良結果を累積記憶する半導体デバイスキャリア不良解析メモリと、

この半導体デバイスキャリア不良解析メモリに記憶される不良発生個数又は不良発生率が所定の設定値を超えたか否かを判定する判定手段と、

この判定手段の判定結果に従って半導体デバイス試験装置の状態を予め設定した状態に制御する制御手段と、少なくとも上記不良発生個数の設定値、上記不良発生率の設定値、及び上記半導体デバイス試験装置の制御状態を予め設定するためのディスプレイとを具備することを特徴とする半導体デバイス試験装置。

【請求項10】 上記ディスプレイは、さらに、連続モードと歩留りモードの何れか一方を選択する不良判定モードを有していることを特徴とする特許請求の範囲第9項に記載の半導体デバイス試験装置。

【請求項11】 上記連続モードは、同一のテストトレイの同一の半導体デバイスキャリアに搭載された被試験半導体デバイスが連続して上記ディスプレイで設定した不良発生個数以上不良と判定されたときにその半導体デバイスキャリアを不良と判定する特徴とする特許請求の範囲第10項に記載の半導体デバイス試験装置。

【請求項12】 上記歩留りモードは、同一のテストトレイの同一の半導体デバイスキャリアに搭載された被試験半導体デバイスの、所定個数以上の不良数が上記ディスプレイで設定した不良発生率以上であると判定されたときに、その半導体デバイスキャリアを不良と判定する不良判定モードであることを特徴とする特許請求の範囲第10項に記載の半導体デバイス試験装置。

【請求項13】 上記ディスプレイは、不良と判定された半導体デバイスキャリアが検出された場合に、その不良と判定された半導体デバイスキャリアに上記ローダ部において被試験半導体デバイスを搭載しないように制御するスイルリストップ制御モードと、不良と判定された半導体デバイスキャリアが検出された場合に上記半導体デバイス試験装置からアラームを発生させるアラーム制御モードと、

不良と判定された半導体デバイスキャリアが検出された場合に、その不良と判定された半導体デバイスキャリアに上記ローダ部において被試験半導体デバイスを搭載しないように制御すると共に上記半導体デバイス試験装置からアラームを発生させるフェイルリストップ・アラーム制御モードとを有していることを特徴とする特許請求の範囲第9項に記載の半導体デバイス試験装置。

【請求項14】 上記ディスプレイは、半導体デバイス

キャリアの不良の種類を複数のカテゴリから選択して設定するフェイル・リストップ・カテゴリを有し、上記ディスプレイ上で設定されたカテゴリの不良が発生した場合にのみ上記半導体デバイスキャリア不良解析メモリに不良の発生が累積記憶されることを特徴とする特許請求の範囲第9項に記載の半導体デバイス試験装置。

【請求項15】 上記ハンドラ部は、棒状のマガジンと呼ばれる半導体デバイス収納容器に収納されている半導体デバイスでも、汎用トレイに収納されている半導体デバイスでも、ローダ部においてテストトレイに積み換えてテスト部に搬送して試験し、アンローダ部において試験結果のデータに基づいて試験済み半導体デバイスに対して種々の処理を行うように構成されているマガジン・トレイ兼用型のハンドラであり、上記ローダ部は上記マガジンから排出された半導体デバイス或いは汎用トレイに搭載された半導体デバイスをテストトレイに積み換える場所であることを特徴とする特許請求の範囲第2項又は第9項のいずれかに記載の半導体デバイス試験装置。

【請求項16】 上記ハンドラ部は、上記ローダ部において汎用トレイに収納されている半導体デバイスをテストトレイに積み換えてテスト部に搬送して試験し、アンローダ部において試験結果のデータに基づいて試験済み半導体デバイスに対して種々の処理を行うように構成されている水平搬送方式と呼ばれるハンドラであることを特徴とする特許請求の範囲第2項又は第9項のいずれかに記載の半導体デバイス試験装置。

【発明の詳細な説明】  
【0001】  
【発明の属する技術分野】この発明は、半導体デバイス、特にその代表例である半導体集積回路素子（以下、「IC」と称す）が正常に動作するか否かを試験する半導体デバイス試験装置に關し、詳しく述べる。

30 3. 特にその代表例である半導体集積回路素子（以下、「IC」と称す）が正常に動作するか否かを試験する半導体デバイス試験装置に關し、詳しく述べる。試験すべきIC（被試験IC）をテストトレイに搭載して搬送し、テスト部においてテストトレイに搭載したまま被試験ICをテストヘッド（試験用の各種の電気信号を供給及び受信する試験装置の部分）のソケットに電気的に接觸させてICの電気的試験を行い、試験終了後に試験済みICをテスト部から搬出し、試験結果のデータに基づいて試験済みICを良品、不良品に仕分けを行なう形式の半導体デバイス試験装置に關する。

【0002】  
【従来の技術】試験すべき半導体デバイス（一般にDUTと呼ばれている）に所定のパターンのテスト信号を印加してその電気的特性を測定する半導体デバイス試験装置の電気的部分（一般にテスト部と呼ばれている）には、半導体デバイスをテスト部に搬送し、このテスト部において半導体デバイスを試験装置本体部分のテストヘッドのソケットに電気的に接觸させて試験を行い、試験後に試験済み半導体デバイスをテスト部から搬出し、試験結果のデータに基づいて試験済み半導体デバイスを良

品、不良品に仕分けをする半導体デバイス搬送処理装置（一般にハンドラと呼ばれている）を接続しているものが多い。本明細書ではこの種のハンドラを一体的に接続した試験装置を半導体デバイス試験装置と称する。なお、以下においては、説明を簡単にするために、半導体デバイスの代表例であるICを例に取って説明する。

【0003】まず、図4及び図5を参照して水平搬送方式と呼ばれているハンドラを接続した従来のIC試験装置の概略の構成を説明する。図示のIC試験装置は、テストトレイTSTに搭載されて搬送されて来た、例えば半導体メモリのようないCを試験するチャンバ部100と、これから試験を行なうIC（被試験IC）や、試験済みのICを分類して格納するIC格納部200と、ユーザが予め汎用トレイ（カストマトレイ）KSTに配置した被試験ICを、高/低温に耐えるテストトレイTSTに転送、載置し直すローダ部300と、チャンバ部100での試験が終了し、テストトレイTSTに載置されて搬送されて来た試験済みのICをテストトレイTSTから汎用トレイKSTに転送、載置し直すアンローダ部400とを備えている。このアンローダ部400は、一般には、試験結果のデータに基づいて試験済みICを分類して対応する汎用トレイに搭載するように構成されている。

【0004】チャンバ部100は、テストトレイTSTに積み込まれた被試験ICに目的とする高溫又は低温の溫度ストレスを与える恒温槽101と、この恒温槽101で溫度ストレスが与えられた状態にあるICの電気的試験を実行するテストチャンバ102と、テストチャンバ102での試験が終了したICから、恒温槽101で与えられた溫度ストレスを除去する除熱槽103によって構成されている。テストチャンバ102はその内部にIC試験装置のテヌタ部のテストヘッド104を含み、このテストヘッド104に取り付けられたソケットに電気的に接触させられた被試験ICに対してこのテストヘッド104を通じて試験用の各種の電気信号を供給するとともに被試験ICからの応答信号を受信して試験装置のテヌタ部へ送る。

【0005】テストトレイTSTはローダ部300→チャンバ部100の恒温槽101→チャンバ部100のテストチャンバ102→チャンバ部100の除熱槽103→アンローダ部400→ローダ部300と循環移動される。恒温槽101及び除熱槽103はテストチャンバ102よりも背が高く、従って、上方に突出した部分を有する。これら恒温槽101と除熱槽103の上方に突出した上部間に、図5に示すように基板105が差し渡され、この基板105上にテストトレイ搬送手段108が装着され、このテストトレイ搬送手段108によってテストトレイTSTが、除熱槽103側から恒温槽101に向って移送される。

【0006】除熱槽103は、恒温槽101で被試験I

Cに高溫を印加した場合には、送風により冷却して室温に戻してからアンローダ部400に搬出する。また、恒温槽101で被試験ICに、例えば-30°C程度の低温を印加した場合には、温風或いはヒータ等で加熱し、結露が生じない程度の温度に戻してからアンローダ部400へ搬出する。

【0007】ローダ部300で被試験ICが積み込まれたテストトレイTSTは、ローダ部300からチャンバ部100の恒温槽101に搬送される。恒温槽101には垂直搬送手段が装着されており、この垂直搬送手段は複数枚（例えば9枚）のテストトレイTSTを積層状態で支持できるように構成されている。図示の例ではローダ部300からのテストトレイが一番上に支持され、一番下のテストトレイがテストチャンバ102へ搬出される。垂直搬送手段の垂直方向下方への移動によって一番上のテストトレイが一番下まで順次移動される間に、また、テストチャンバ102が空くまで待機する間に、被試験ICは高溫又は低温の所定の溫度ストレスを与える。

【0008】テストチャンバ102にはその中央にテストヘッド104が配置されており、恒温槽101から一枚づつ搬出されたテストトレイTSTがテストヘッド104の上に通され、後述するように、そのテストトレイに搭載された被試験ICの内の所定数の被試験ICがテストヘッド104に取り付けられたICソケット（図示せず）と電気的に接続される。テストヘッド104を通じて一枚のテストトレイ上の全ての被試験ICの試験が終了すると、テストトレイTSTは除熱槽103へ搬送されて試験済みICの溫度ストレスが除去され、これらICの溫度を室温に戻し、アンローダ部400へ搬出する。

【0009】除熱槽103も上記恒温槽101と同様に垂直搬送手段を備えており、この垂直搬送手段により複数枚（例えば9枚）のテストトレイTSTを積層状態で支持できるように構成されている。図示の例ではテストチャンバ102からのテストトレイが一番上に支持され、一番上のテストトレイがアンローダ部400へ搬出される。垂直搬送手段の垂直方向下方への移動によって一番下のテストトレイが一番上まで順次移動される間に、試験済みICはその溫度ストレスが除去されて外部溫度（室温）に戻される。

【0010】アンローダ部400へ搬出されたテストトレイTST上の試験済みICはテストトレイから試験結果のカテゴリ毎に分類され、対応する汎用トレイKSTに転送、格納される。アンローダ部400で空になったテストトレイTSTはローダ部300に搬送され、ここで汎用トレイKSTから再び被試験ICが転送、載置される。以下、同様の動作を繰り返すことになる。

【0011】ローダ部300において汎用トレイKSTからテストトレイTSTにICを転送するIC搬送手段

としては、図5に示すように、基板105のローダ部300の上部に、試験装置の前後方向(この方向をY方向とする)に延在するように架設された対向する平行な2本のレール301と、これら2本のレール301間に架設され、Y方向に移動可能にその両端部がこれら2本のレール301に支持された可動アーム302と、この可動アーム302の延在する方向に、従って、試験装置の左右方向(この方向をX方向とする)に移動可能に可動アーム302に支持された可動ヘッド303によって構成されるX-Y搬送手段304を用いることができる。上記構成によれば、可動ヘッド303は、テストトレイTSTと汎用トレイKSTとの間をY方向に往復移動することができ、かつ可動アーム302に沿ってX方向に移動することができる。

〔0012〕可動ヘッド303の下面には図7を参照して後述するIC吸着パッドが上下方向に移動可能に装着されており、可動ヘッド303のX-Y方向移動とこの吸着パッドの下方への移動により汎用トレイKSTに載置されたICに吸着パッドが当接し、真空吸引作用によりICを吸着。保持して汎用トレイKSTからテストトレイTSTにICを搬送する。吸着パッドは可動ヘッド303に対して、例えば8本程度装着され、一度に8個のICを汎用トレイKSTからテストトレイTSTに搬送できるように構成されている。

〔0013〕なお、汎用トレイKSTの停止位置とテストトレイTSTの停止位置との間にはブリサイサと呼ばれるICの位置修正手段305が設けられる。この位置修正手段305は比較的深い凹部を有し、この凹部に吸着パッドに吸着されてテストトレイTSTへ搬送されるICをいったん落し込む。凹部の周縁は傾斜面で囲まれおり、この傾斜面でICの落下位置が規定される。位置修正手段305によって8個のICの相互の位置を正確に規定した後、これら位置が規定されたICを再び吸着パッドにて吸着し、テストトレイTSTに搬送する。このような位置修正手段305を設ける理由は、汎用トレイKSTではICを保持する凹部はICの形状よりも比較的大きく形成されており、このため、汎用トレイKSTに格納されているICの位置には大きなバラツキがあり、この状態で吸着パッドにて吸着したICを直接テストトレイTSTに搬送すると、テストトレイTSTに形成されたIC収納凹部に直接落し込むことができないICが存在することになる。このために位置修正手段305を設け、この位置修正手段305でテストトレイTSTに形成されたIC収納凹部の配列精度にICの配列精度を合わせるようにしているのである。

〔0014〕アンローダ部400にはローダ部300に設けられたX-Y搬送手段304と同一構造の搬送手段404が2組設けられ、これらX-Y搬送手段404によってアンローダ部400に搬出されたテストトレイTSTから試験済みのICを汎用トレイKSTに積み換え

る。各X-Y搬送手段404は、試験装置の前後方向(Y方向)に延在するように架設された対向する平行な2本のレール401と、これら2本のレール401間に架設され、Y方向に移動可能にその両端部がこれら2本のレール401に支持された可動アーム402と、この可動アーム402の延在する方向に、従って、試験装置の左右方向(X方向)に移動可能に可動アーム402に支持された可動ヘッド403によって構成されている。

- 10 〔0015〕図8にテストトレイTSTの一例の構造を示す。テストトレイTSTは方形フレーム12に複数のさん13が平行かつ等間隔に形成されており、これらさん13の両側、及びさん13と対向するフレーム12の辺12a、12bにそれぞれ複数の取付け片14が等間隔で突出形成されている。各さん13の両側の取り付け片14は、一方の側の取り付け片14が反対側の取り付け片14の中間に位置するように形成されており、同様に、フレーム12の辺12a、12bの取り付け片14は対向するさん13の取り付け片14の中間に位置するように形成されている。これら対向するさん13間の空間、及びさん13と対向する辺12a、12bとの間の空間に、それぞれ多数個のICキャリア16が並置状態で収納される。各ICキャリア16は、これら空間において位置がずれている斜めに対向する2つの取付け片14を対角線方向の角部に含む1つの長方形の区画であるキャリア収納部15に収納される。従って、図示の例では各さん13の一方の側に16個の取り付け片14が形成されているから、上記各空間に16個のキャリア収納部15が形成され、16個のICキャリア16が取り付けられる。図示の例では4つの空間があるからICキャリア16は1つのテストトレイTSTに16×4個、合計で64個、取り付けることができる。各ICキャリア16は2つの取付け片14にファスナ17により取り付けられる。
- 20 〔0016〕ICキャリア16の外形は同一形状、同一寸法をしており、その中央部にIC素子を収納するIC収容部19が形成されている。この例ではIC収容部19は方形の凹部とされている。このIC収容部19の形状及び寸法は収容するIC素子の形状及び寸法に応じて決められる。このため、被試験ICの形状及び寸法が相違する毎に、対応する形状及び寸法のIC収容部19を有するICキャリア16が用意され、被試験ICの形状及び寸法に従ってICキャリアを交換する。IC収容部19の外形はキャリア収納部15の対向する取り付け片間の空間に遊隙する寸法に選択されており、IC収容部19の両端部には取付け片14上に配置される突出部がそれぞれ設けられている。これら両突出部にはファスナ17が挿通される取付け用の穴21と、位置決め用ピンが挿入される穴22とがそれぞれ形成されている。
- 30 〔0017〕ICキャリア16に収納されたIC素子の

位置ずれや飛出しを防止するため、例えば図7に示すように一对のラッチ23がICキャリア16に取り付けられている。これらラッチ23はIC収容部19の底面から上方に突出するよう一体に形成されており、かつICキャリア16を構成する樹脂材の弾性により、これらラッチ23はそれらの先端部の対向する爪が閉じる方向に彈性性バイアスされている。従って、IC素子をIC収容部19に収容する際に、又はIC収容部19から取り出す際に、IC素子を吸着するIC吸着パッド24の両側に配置されたラッチ解放機構25により2つのラッチ23の先端部間の間隔を広げた後、ICの収容又は取り出しが行われる。ラッチ解放機構25をラッチ23から離すと、これらラッチ23はその弾性力で元の状態に戻り、収容されたICはラッチ23先端部の爪で抜け止めされた状態に保持される。

【0018】ICキャリア16は図8に示すようにIC素子のピン18を下面側に露出させた状態でIC素子を保持する。テストヘッド104にはICソケットが取り付けられており、このICソケットのコンタクト104Aがテストヘッド104の上面から上方へ突出している。この露出したIC素子のピン18をICソケットのコンタクト104Aに押し付け、IC素子をテストヘッドのICソケットに電気的に接続する。このためにテストヘッド104の上部にはIC素子を下向きに押圧して抑え付ける圧接子(ブッシュ)20が設けられ、この圧接子20が各ICキャリア16に収納されているIC素子を上方から押圧して抑え付け、テストヘッド104に接触させる構成されている。

【0019】図4及び図5を再び参照すると、IC格納部200には被試験ICを格納した汎用トレイKSTを収容する被試験ICストッカ201と、試験の結果に応じてカテゴリ毎に分類された試験済みICを格納した汎用トレイKSTを収容する試験済みICストッカ202とが設けられている。これら被試験ICストッカ201及び試験済みICストッカ202は汎用トレイを横層状態で収容できるように構成されている。被試験ICストッカ201に横層状態で収容された被試験ICを格納した汎用トレイKSTは上部のトレイから順次ローダ部300に運ばれ、ローダ部300において汎用トレイKSTからローダ部300に停止しているテストトレイTSTに被試験ICを積み換える。なお、被試験ICストッカ201及び試験済みICストッカ202は同じ形状及び構造を有するものでよい。

【0020】図4及び図5に示す例では、試験済みICストッカ202として8個のストッカSTK-1、STK-2、…、STK-8を用意し、試験結果に応じて最大8つのカテゴリに分類して格納できるように構成されている。これは、試験済みICを良品と不良品の別の外に、良品の中でも動作速度が高速のもの、中速のもの、低速のもの、或いは不良品の中でも再試験が必要な

もの等に仕分けがあるからである。仕分け可能なカテゴリの最大が8種類としても、図示の例ではアンローダ部400には4枚の汎用トレイKSTしか配置することができない。このため、アンローダ部400に配置されている汎用トレイKSTに割り当てられたカテゴリ以外のカテゴリに分類される試験済みIC素子が発生した場合には、アンローダ部400から1枚の汎用トレイKSTをIC格納部200に戻し、これに代えて新たに発生したカテゴリのIC素子を格納すべき汎用トレイ10KSTをIC格納部200からアンローダ部400へ輸送し、そのIC素子を格納するという手順を取っている。

【0021】図5に示すように、被試験ICストッカ201及び試験済みICストッカ202の上部には基板105との間において被試験ICストッカ201と試験済みICストッカ202の配列方向(試験装置の左右方向)の全範囲にわたって移動可能なトレイ搬送手段205が設けられている。このトレイ搬送手段205はその下面に汎用トレイKSTを把持する把持具を備えている。被試験ICストッカ201の上部にトレイ搬送手段205を移動させ、その状態でエレベータ204を駆動し、ストッカ201内に積み重ねられた汎用トレイKSTを上昇させる。上昇して来た汎用トレイKSTの最上段のトレイをトレイ搬送手段205の把持具で把持する。トレイ搬送手段205に被試験ICを格納している最上段の汎用トレイKSTを引き渡すと、エレベータ204は下降し、元の位置に戻る。トレイ搬送手段205は水平方向に移動し、ローダ部300の位置で停止する。この位置でトレイ搬送手段205は把持具から汎用トレイを外し、僅か下方に位置するトレイ受け(図示せず)に汎用トレイKSTを降ろす。トレイ受けに汎用トレイKSTを降ろしたトレイ搬送手段205はローダ部300以外の位置に移動する。この状態で汎用トレイKSTが載置されているトレイ受けの下側からエレベータ204が上昇し、このトレイ受けを上方へ上昇させる。従って、被試験ICを搭載している汎用トレイKSTも上方に上昇させられ、基板105に形成された窓106に汎用トレイKSTが露出した状態に保持される。

【0022】アンローダ部400の上部の基板105に同様の窓106が2つ形成されており、これら窓106から空の汎用トレイが露出した状態に保持されている。各窓106は、この例では、2つの汎用トレイが露出する寸法を有しており、従って、アンローダ部400の2つの窓106からは4つの空の汎用トレイが露出している。これら空の汎用トレイKSTに、各汎用トレイに割り当てたカテゴリに従って、試験済みICを分類して格納する。ローダ部300の場合と同様に、各汎用トレイはトレイ受け上に載置されており、各トレイ受けはエレベータ204によって上下方向に昇降される。1つの汎用トレイが満杯になると、その汎用トレイKSTは

エレベータ204によって窓106の位置から降下され、トレイ搬送手段205によって自己に割り当てられたカテゴリのトレイ格納位置に収納される。なお、図4及び図5に示す参照符号206は空の汎用トレイKSTを収容する空トレイストックを示す。この空トレイストック206から空の汎用トレイがトレイ搬送手段205、エレベータ204によってアンローダ部400の各窓106の位置に搬送、保持され、試験済みICの格納に供せられる。

【0023】テストヘッド104に一度に接続されるIC素子の個数はテストヘッド104に取り付けられたICソケットの個数に依存する。図6に示した構造のテストトレイTSTを使用した場合には、上述したように、IC素子を収納するICキャリア16がテストトレイTSTに4行×16列のマトリックス状に配列されるから、合計で64個のIC素子を搭載することができる。

【0024】一方、IC試験装置で一度にテストすることができるIC素子の個数には限度があり、64個のような多数個のIC素子を一度にテストすることは困難である。例えば1IC試験装置が16個のIC素子を一度にテストできるように構成されている場合には、各行の3列置きのIC素子を一度に全部テストできるように4×4の16個のICソケットがテストヘッド104に取り付けられる。つまり、1回目のテストは各行の1、5、9、13列にそれぞれ配置された16個のIC素子(斜線で指示するICキャリア16に収納されたIC素子)に対して実施され、2回目のテストはテストトレイTSTをIC素子1列分移動させて各行の2、6、10、14列に配置された16個のIC素子に対して実施され、以下同様にして4回のテストを実施することにより全てのIC素子を試験する。

【0025】なお、各行の1列置きのIC素子を一度に全部テストできるようにテストヘッド104に4×8の32個のICソケットを取り付けることができる場合には、2回のテストを実施するだけで4行×16列に配列された64個のすべてのIC素子を試験することができるとは言うまでもない。試験の結果は、テストトレイTSTに付された、例えば、識別番号と、テストトレイTSTの内部で割り当てたICキャリア16の番号によってアドレスを決定し、メモリに記憶する。この試験結果は、アンローダ部400において試験済みのICをテストトレイTSTから汎用トレイKSTに積み換える際に、良品と不良品とに仕分けするためのデータとして使用される。このデータは仕分け作業が終了するとメモリから消去される。

【0026】

【発明が解決しようとする課題】従来はテストヘッド104の各ICソケット毎に対応するメモリを用意し、同一ソケットで試験したICの不良発生数を集計して各メモリに記憶させ、記憶された不良発生数が所定値を越え

たら関連するICソケットに不具合が有るものと判定し、そのICソケットを使用する位置のICキャリア16に被試験ICを搭載しないように規制する方法を採用していた。

【0027】このような方法によってICソケットの不具合を検出した場合に、不具合有りと判定されたICソケットを調べて見ても、そのICソケットに異常が見られない場合がしばしばあり、その原因究明に多くの時間と人手が掛るという欠点があった。上記原因を究明した結果、テストトレイTSTに取り付けられた特定のICキャリア16に不具合が発生している場合に、ICソケットに異常がなくてもICソケットの不具合と判定されてしまうということが分かった。ICキャリア16の不具合としては、ICキャリア16のIC素子を収納するIC收容部19の一部に欠けが発生したり、或いは樹脂成形時のバグが僅かに残っていたために、収納されたICの端子が変形し、ICソケットとの接触が不完全になってしまうという事例が多かった。

【0028】上記欠点は、断面ほぼ長方形の筒体である棒状のマガジンと呼ばれるIC収納容器に収納されているICでも、汎用トレイに収納されているICでも、テストトレイに積み換えてテスト部に搬送して試験し、試験結果のデータに基づいて種々の処理を行うように構成されているマガジン・トレイ兼用型のハンドラ(例えば、特願平6-171911号参照)を使用した場合にも、同様に発生する。

【0029】この発明の目的は、テストヘッドに取り付けられたICソケットの不良を検出すると共に、テストトレイに取り付けられたICキャリアの不良も独立に検出することができるIC試験装置を提供することである。

【0030】

【課題を解決するための手段】請求項1に記載の発明によれば、テスト部とハンドラ部とを備え、ハンドラ部のローダ部において複数個のICキャリアに被試験ICを搭載し、これらICキャリアを上記ローダ部からハンドラ部のテスト部に搬送してICを試験し、試験終了後、試験済みICを搭載した上記ICキャリアを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記ICキャリア上の試験済みICを別のIC収納容器に積み替え、空になったICキャリアを上記アンローダ部から上記ローダ部へ搬送して上記動作を繰り返すように構成されているIC試験装置において、上記ICキャリアのそれぞれ毎に試験結果を累積記憶するICキャリア不良解析メモリと、このICキャリア不良解析メモリに記憶された不良発生個数又は不良発生率が所定の設定値を超えたか否かを判定する判定手段と、この判定手段の判定結果に従ってIC試験装置の状態を予め設定した状態に制御する制御手段とを具備するIC試験装置が提供される。

【0031】また、請求項2に記載の発明によれば、テスト部とハンドラ部とを備え、ハンドラ部のローダ部において、枠体に1又は複数個のICキャリアを装着した構成のテストトレイに被試験ICを搭載し、このテストトレイを上記ローダ部からハンドラ部のテスト部に搬送し、このテスト部において、上記テストトレイに搭載されているICをテスト部のテストヘッドに取り付けられた1又は複数個のソケットと電気的に接触させてICを試験し、試験終了後、試験済みICを搭載したテストトレイを上記テスト部からハンドラ部のアンローダ部に搬出しそのアンローダ部において上記テストトレイ上の試験済みICを他のIC収納容器に積み換え、空になったテストトレイを上記アンローダ部から上記ローダ部へ搬送して上記動作を繰り返すように構成されているIC試験装置において、上記ICキャリアのそれぞれ毎に試験結果を累積記憶するICキャリア不良解析メモリと、このICキャリア不良解析メモリに記憶される不良発生個数又は不良発生率が所定の設定値を超えたか否かを判定する判定手段と、この判定手段の判定結果に従ってIC試験装置の状態を予め設定した状態に制御する制御手段とを具備するIC試験装置が提供される。

【0032】さらに、請求項9に記載の発明によれば、テスト部とハンドラ部とを備え、ハンドラ部のローダ部において、枠体に複数個のICキャリアを装着した構成のテストトレイに被試験ICを搭載し、このテストトレイを上記ローダ部からハンドラ部のテスト部に搬出し、このテスト部において、上記テストトレイに搭載されているICをテスト部のテストヘッドに取り付けられた1又は複数個のソケットと電気的に接触させてICを試験し、試験終了後、試験済みICを搭載したテストトレイを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記テストトレイ上の試験済みICを他のIC収納容器に積み換え、空になったテストトレイを上記アンローダ部から上記ローダ部へ搬送して上記動作を繰り返すように構成されているIC試験装置において、各テストトレイに搭載された上記複数個のICキャリアのそれぞれ毎に、搭載された被試験ICの試験結果のうちの不良結果を累積記憶するICキャリア不良解析メモリと、このICキャリア不良解析メモリに記憶される不良発生個数又は不良発生率が所定の設定値を超えたか否かを判定する判定手段と、この判定手段の判定結果に従ってIC試験装置の状態を予め設定した状態に制御する制御手段と、少なくとも上記不良発生個数の設定値、上記不良発生率の設定値、及び上記IC試験装置の制御状態を予め設定するためのディスプレイとを具備するIC試験装置が提供される。

【0033】請求項1、2及び9に記載の発明の好ましい特定の一実施形態においては、上記判定手段は、同一のテストトレイの同一のICキャリアに搭載された被試験ICが連続して所定個数以上不良と判定されたときに

そのICキャリアを不良と判定する連続モードに設定される。請求項1、2及び9に記載の発明の好ましい他の特定の実施形態においては、上記判定手段は、同一のテストトレイの同一のICキャリアに搭載された被試験ICの、所定個数毎の不良数が所定の比率以上であると判定されたときに、そのICキャリアを不良と判定する歩留りモードに設定される。

【0034】請求項1、2及び9に記載の発明の好ましいさらに他の特定の実施形態においては、上記連続モードと、上記歩留りモードの何れか一方を選択して上記判定手段に設定する判定モード設定手段がさらには設けられている。請求項9に記載の発明の好ましい特定の実施形態においては、上記ディスプレイは、不良と判定されたICキャリアが検出された場合に、その不良と判定されたICキャリアに上記ローダ部において被試験ICを搭載しないように制御するスルーストップ制御モードと、不良と判定されたICキャリアが検出された場合に上記IC試験装置からアラームを発生させるアラーム制御モードと、不良と判定されたICキャリアが検出された場合に、その不良と判定されたICキャリアに上記ローダ部において被試験ICを搭載しないように制御すると共に上記IC試験装置からアラームを発生させるフェイルストップ・アラーム制御モードとをさらに有している。

【0035】請求項9に記載の発明の好ましい他の特定の実施形態においては、上記ディスプレイは、ICキャリアの不良の種類を複数のカテゴリから選択して設定するフェイル・ストップ・カテゴリをさらに有し、上記ディスプレイ上で設定されたカテゴリの不良が発生した場合にのみ上記ICキャリア不良解析メモリに不良の発生を累積記憶させる。上記請求項1に記載のIC試験装置によれば、各ICキャリア毎にICの不良発生個数又はICの不良発生率をICキャリア不良解析メモリに累積記憶し、不良判定モードを連続モードに設定した場合には、所定回数の連続する試験結果がすべて不良と判定された場合にそのICキャリアを不良と判定し、一方、不良判定モードを歩留りモードに設定した場合には、所定回数の試験を行った結果、ICキャリア毎の不良の発生率が所定の比率以上になった場合に、そのICキャリアを不良と判定する。従って、連続モード又は歩留りモードの何れであっても、各ICキャリア別に不良の発生頻度を監視することができる。その結果、ICキャリアの不具合に起因する不良の発生をICソケットの不具合に起因する不良と区別して検出することができる。

【0036】上記請求項2及び9に記載のIC試験装置によれば、各テストトレイのICキャリア毎にICの不良発生数を累積加算し、その加算値が設定値と一致するか又はこれを越えた時点でのICを搭載したICキャリアを不良と判定するようにしたので、不良の発生原因は、すべてのテストトレイの同一位置に配置されたIC

キャリアのすべて又は多くが不良と判定される場合を除けば、ICキャリアに起因する確率が高い。従って、すべてのテストトレイの同一位置に配置されたICキャリアのすべて又は多くが不良と判定される場合はICソケットの不具合による不良と判断することができる。これに対し、特定のテストトレイ中の何れか1つのICキャリアに搭載したICの不良発生頻度が高い場合には、ICソケットの不具合とは関係がないと判断することができるから、そのICキャリアの不具合に起因する不良の発生と判定することができる。

【0037】従って、この発明によれば、ICの不良発生がICソケットに起因する不良なのか、ICキャリアの不具合による不良なのかを多くの時間と人手をかける必要なく判定することができる。

【0038】

【発明の実施の形態】この発明によるIC試験装置の一実施形態を図1に示す。このIC試験装置は図4乃至9を参照して前述した水平搬送方式のハンドラHMを装着したものであり、被試験ICに所定のパターンのテスト信号を印加してその電気的特性を測定するIC試験装置の電気的な部分であるテスト部(図5の主として下側の基台部分)と、ハンドラHM(図5の主として上側の機構部分)によって構成されている。

【0039】ハンドラHMは、図1には簡略化して示すが、前述した従来のIC試験装置と同様に、テストトレイTSTに搭載されて搬送されて来たICを試験するチャンバ部と、被試験ICや試験済みのICを分類して格納するIC格納部と、ユーザが予め汎用トレイに置きした被試験ICを、高/低温に耐えるテストトレイに転送、載置し直すローダ部と、チャンバ部での試験が終了し、テストトレイに載置されて搬送されて来た試験済みのICをテストトレイから汎用トレイに転送、載置し直すアンローダ部とを備えている。また、チャンバ部は、テストトレイに積み込まれた被試験ICに目的とする高温又は低温の温度ストレスを与える恒温槽と、この恒温槽で温度ストレスが与えられた状態にあるICを、テクノロジ部のテストヘッドのソケットに電気的に接触させて試験を実行するテストチャンバと、テストチャンバでの試験が終了したICから、恒温槽で与えられた温度ストレスを除去する除熱槽とによって構成されている。

【0040】図1の実施形態はハンドラHM内にテストトレイTSTが11枚用いられている場合を示す。TSTはテストチャンバのテストヘッド104の位置に停止しているテストトレイを示す。このテストトレイTSTから移動方向に順番にTST1～TST11と各テストトレイに番号を付すことにする。テストヘッド104にはメインフレームと呼ばれる框体化に形成されたテスト装置TESTが接続されている。このテスト装置TEST内には、テストヘッド104を通じてテストトレイに搭載された被試験ICに印加すべき所定のパターンのテス

ト信号、アドレス信号等を発生すると共に被試験ICからの応答信号を受信し、処理して被試験ICの電気的特性を測定するテスト部が収納されている。

【0041】この発明ではテスト装置TESTで得られた試験結果をテストトレイTST～TST11のそれぞれに対応して記憶するICキャリア不良解析メモリ21を設ける。このICキャリア不良解析メモリ21は、図2に示すように、テストトレイTST～TST11のそれぞれに対応した記憶領域M～M11を有すると共に、各記憶領域M～M11に各テストトレイTST～TST11に取り付けたICキャリア16に対応した記憶アドレスを設定する。この例では各テストトレイTSTにICキャリア16が64個取り付けられているので、各記憶領域M～M11にはICキャリアの個数(64個)に対応した数の記憶アドレスAR1～AR64が設定されている。各記憶アドレスAR1～AR64には対応するICキャリア16の使用回数と不良発生回数を記憶させる。

【0042】さらに、この発明では、上記ICキャリア不良解析メモリ21の他に、ICキャリア16が不良であると判定するためのモードを設定する判定モード設定手段22と、この設定モード設定手段22で連続モードが設定された場合に動作する連続モード設定手段23Aと、判定モード設定手段22で歩留りモードが設定された場合に動作する歩留りモード設定手段23Bと、これら連続モード及び歩留りモード判定手段23A及び23Bの判定結果に従って予め設定した状態にIC試験装置を制御する制御手段24、25、26とを設ける。なお、判定モードとしてこの例では連続モードと歩留りモードを設けたが、これに限定されるものではない。

【0043】図3に判定モード設定手段22のディスプレイ上のモード設定用の表示画面の一例を示す。1行目に表示されたファイル・トップ・カテゴリという項目はICの不良の種類を表す。つまり、テスト装置TESTがICを不良と判断した場合、その不良の種類(主に接触不良によって発生するものと考えられる不良)を0～9の10のカテゴリに分け、この行の右側の設定欄22Aに不良の種類に対応した番号0～9の中の何れかを入力する。これによって不良の種類を1つに特定し、その特定した種類の不良が発生した場合にICキャリア不良検出のための計数動作を行なわせる。

【0044】2行目の不良判定モードの項目は連続モードと歩留りモードのいずれかを設定するためのもので、連続モードを設定する場合にはこの行の右側の設定欄22B「連続」に、また、歩留りモードを設定する場合には設定欄22C「歩留り」にカーソル(特に図示しない)を合せ、リターンキーを押すことにより、連続モードか歩留りモードに設定することができる。連続モードを選択した場合には、カーソルは3行目のファイル・トップ・カウントの項目の設定欄22Eに移動する。

【0045】3行目のファイル・トップ・カウントの

項目は、1行目のフェイル・トップ・カテゴリの項目で特定した不良の種類が連続して何回発生したらICキャリア16の不良と判定するかについての不良の連続発生回数を設定するためのもので、右側の設定欄22Eに設定する回数(0~9)を入力する。なお、0を入力した場合には2行目の不良判定モードの項目で「連続」と設定していても、連続モードに設定されていないと判断されることになる。

【0046】2行目の不良判定モードの項目において「歩留り」を設定した場合には、カーソルは5行目の個数設定の項目の設定欄22Fに移動する。この設定欄22Fには歩留りの分母に相当する数値を例えば10~90の範囲の数字で設定する。例えば設定欄22Fに10と設定すると、同一のICキャリアにICが10回搭載され、テストチャンバーにおいてテストが10回行われる毎に歩留りが算出され、ICキャリアの良否が判定される。不良発生の累積値は同一のICキャリアに搭載された10個のICの試験が終了する毎にリセットされる。

【0047】設定欄22Fの入力が終了すると、カーソルは6行目の不良率の項目の設定欄22Gに移動する。この設定欄22Gには不良率のパーセント(%)を例えば0~90の範囲の数字で設定する。この例では判定モード設定手段22の表示画面の下側に制御モードの設定欄が設けられている。この制御モードの設定欄は(1)フェイルストップ、(2)アラーム、(3)フェイルストップ・アラームの3つの項目があり、ICキャリア16が不良であると判定された場合に、IC試験装置をどのような状態に制御するかを設定するために設けられている。

【0048】項目(1)のフェイルストップとは、不良と判定されたICキャリアが検出された場合に、その不良と判定されたICキャリアにローダ部において被試験ICを搭載しないように制御する設定状態を示す。項目(2)のアラームとは、不良と判定されたICキャリアが検出された場合に、アラームを発生させる設定状態を示す。

【0049】項目(3)のフェイルストップ・アラームとは、不良と判定されたICキャリアが検出された場合に、その不良と判定されたICキャリアに被試験ICを搭載しないように制御すると共に、アラームも発生させる設定状態を示す。これら制御モードの設定は右側の設定欄22Hに例えば(1)~(3)の項目の番号を入力することによって行われる。

【0050】判定モード設定手段22において2行目の項目の不良判定モードと、その数値条件を設定すると、その設定した判定モードに従って連続モード判定手段23A又は歩留りモード判定手段23Bが起動される。例えば、連続モードを設定した場合には連続モード判定手段23Aが起動される。連続モードにおいては、各ICキャリア16に搭載されたICが不良と判定され、その

不良の種類が設定欄22Aに設定した種類と一致した場合にのみ、ICキャリア不良解析メモリ21の各アドレスAR1~AR64に、不良発生数1が記憶される。この不良発生数は累積して記憶される。不良の発生が連続し、設定欄22Eに設定した数値を超えて発生すると、そのICキャリアは不良と判定される。不良と判定されると、制御モード設定欄22Hに設定した制御モードに対応する制御手段24、25、26の何れかが起動され、設定した制御モードでIC試験装置を制御する。

【0051】これに対し、歩留りモードを設定した場合には、歩留りモード判定手段23Bが起動され、各ICキャリア毎に設定欄22Fに設定された所定の回数(10回)、例えば10回ずつ試験結果を累積する。その結果、不良の発生率が設定欄22Gに設定された所定のパーセント、例えば50%を超えると、そのICキャリアを不良と判定し、制御モード設定欄22Hに設定した制御モードに対応する制御手段24、25、26の何れかが起動される。

【0052】上述したように歩留りモードにおいては、設定欄22Fに例えば数値「10」を設定したすると、各ICキャリアにICが10回搭載された10回のテストが終了する毎に、ICキャリア不良解析メモリ21に記憶された不良発生数の累積値はリセットされる。従って、この例では10回の試験毎に歩留りを判定し、設定欄22Gに設定した歩留りと一致するか又はこれを越えた時点で制御手段24、25、26の何れかが起動されることになる。

【0053】

【発明の効果】以上説明したように、この発明によれば、各テストレイTESTに取り付けられた各ICキャリア毎にICの不良発生数を累積加算し、その加算値が設定値と一致するか又はこれを越えた時点でそのICを搭載したICキャリアを不良と判定するようにして、不良の発生原因は、すべてのテストレイTESTの同一位置に配置されたICキャリア(テストヘッド104の同一のICソケットで試験される位置のICキャリア)のすべて又は多くが不良と判定される場合を除けば、ICキャリアに起因する確率が高い。つまり、各テストレイTESTにおいて、同一のICソケットで試験される位置のICキャリアのすべて又は多くが不良と判定される場合には、ICソケットの不具合による不良と判断することができる。

【0054】これに対し、特定のテストレイ、例えばテストレイTEST。の中の何れか1つのICキャリア16に搭載したICの不良発生頻度が高い場合には、ICソケットの不具合とは関係がないと判断することができるから、そのICキャリア16の不具合に起因する不良の発生と判定することができる。従って、この発明によれば、ICの不良発生がICソケットに起因する不良なのか、ICキャリアの不具合による不良なのかを多く

19 の時間と人手をかける必要なく判定することができる。よって、短時間に不良の発生原因を特定することができるようになり、精度が向上した、かつ使い勝手のよいIC試験装置を提供することができるという利点が得られる。

【0055】なお、上記の実施形態では水平搬送方式のハンドラを試験装置に接続したIC試験装置にこの発明を適用したが、この発明は、棒状のマガジンと呼ばれるIC収納容器に収納されているICでも、汎用トレイに収納されているICでも、テストトレイに積み換えてテスト部に搬送して試験し、試験結果のデータに基づいて種々の処理を行うように構成されているマガジン・トレイ兼用型のハンドラを接続したIC試験装置にも適用でき、同様の作用効果が得られるることは言うまでもない。この方式のハンドラを使用する場合には、棒状のマガジンを水平状態から傾斜させて内部のICを自重によって自然滑走させ、その後テストトレイにICを積み換える場所をローダ部と定義する。

【0056】また、上記説明では半導体デバイスとしてICを例にとって説明したが、IC以外の他の半導体デバイスを試験する試験装置にもこの発明が適用でき、同様の作用効果が得られることは言うまでもない。

【図面の簡単な説明】

\* 【図1】この発明による半導体デバイス試験装置の一実施例の主要部の構成を説明するための図である。

【図2】図1に示した半導体デバイス試験装置に使用されたキャリア不良解析メモリの内部構造の一例を説明するための図である。

【図3】図4に示した半導体デバイス試験装置に使用された判定モード設定手段の一例を説明するための図である。

【図4】従来のIC試験装置の一例を、チャンバ部を斜視図的に示す概略平面図である。

【図5】図4に示したIC試験装置の概略斜視図である。

【図6】IC試験装置に使用されるテストトレイの一例の構造を説明するための分解斜視図である。

【図7】図6に示したテストトレイのIC収容部に格納されたICを保持するラッチ機構を説明するための概略斜視図である。

【図8】図6に示したテストトレイに搭載された被試験ICとテストヘッドとの電気的接続状態を説明するための拡大断面図である。

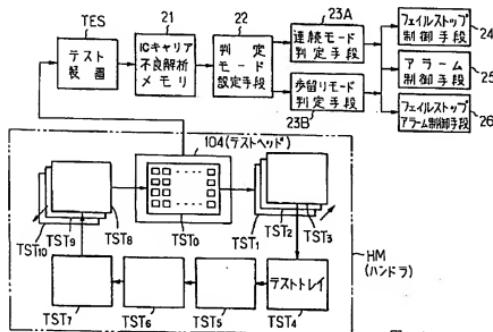
【図9】テストトレイに搭載した被試験ICの試験の順序を説明するための平面図である。

10

20

20

【図1】



【図8】

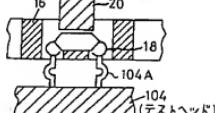


図 8

図 1

【図2】



図 2

【図3】

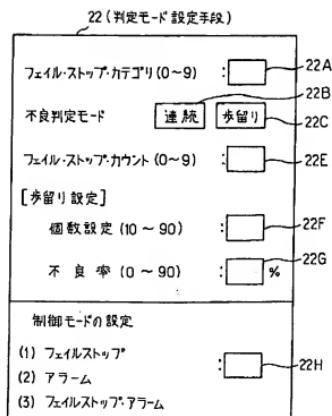


図 3

【図4】

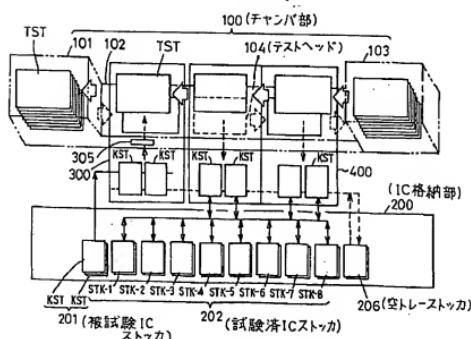


図 4

【図7】

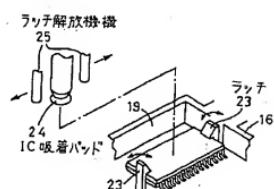


図 7

【図5】

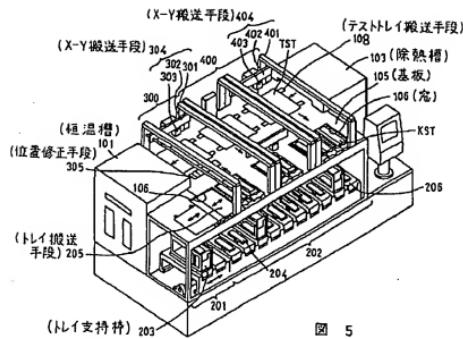


図 5

【図6】

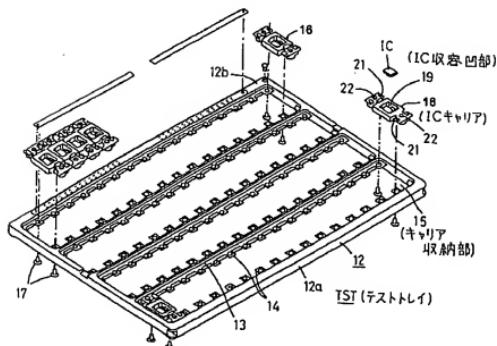


図 6

〔図9〕

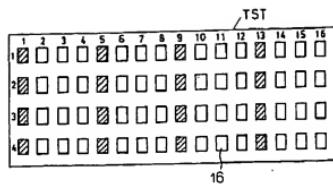


図 9